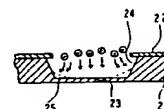
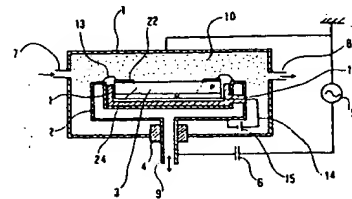


(54) WORKING METHOD FOR SEMICONDUCTOR PLATE

(11) 62-108526 (A) (43) 19.5.1987 (19) JP
 (21) Appl. No. 60-248200 (22) 6.11.1985
 (71) FUJII ELECTRIC CO LTD (72) SHUNJI MIURA(1)
 (51) Int. Cl. H01L21/302, H01L29/84

PURPOSE: To readily obtain constant and uniform thickness by connecting one conductivity type layer with one electrode, and applying a voltage positively biasing the other conductivity type layer to the layer.

CONSTITUTION: Since an N-type layer is positive to a P-type layer when a voltage is applied in a range that a P-N junction does not break down between the N-type layer and the P-type layer of a silicon plate 3, accelerated ions flow from the N-type layer side to the P-type layer side, ion impact increases at the P-type layer side as compared with the N-type Layer side, and the etching velocity at the N-type layer becomes extremely small. Accordingly, if the thickness of the N-type layer is set to the thickness of a thin portion 23, a recess 24 which allows the thickness of the N-type layer to remain is formed. The impurity density, thickness of the P-type layer and the N-type layer are considered to form a P-N junction of the plate 3 so as not break down to a bias voltage necessary for the P-N junction. If a thin layer is necessary to be of P-type, a bias is forwardly applied to the P-N junction. Thus, a constant and uniform thin layer can be obtained.



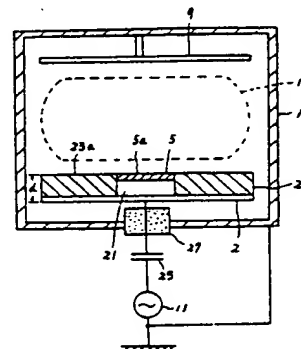
1: anode, 2: cathode, 5: high frequency power source,
 7: gas inlet, 8: gas outlet, 10: plasma, 11: insulator, 12:
 insulator, 22: mask

(54) DRY ETCHING APPARATUS

(11) 62-108527 (A) (43) 19.5.1987 (19) JP
 (21) Appl. No. 60-248183 (22) 6.11.1985
 (71) ANELVA CORP (72) MASAHATA SHIBAGAKI(1)
 (51) Int. Cl. H01L21/302, C23F1/00

PURPOSE: To uniformize a current density by increasing the impedance of a cover as compared with that of a substrate, and disposing the surfaces of the cover and the substrate substantially in the same plane.

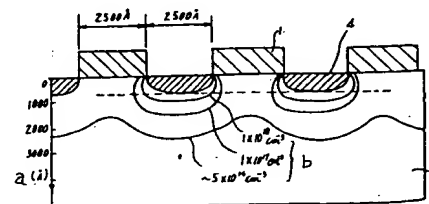
CONSTITUTION: A chamber 1 is evacuated by an evacuating system to a predetermined pressure, and CF₄ gas is fed, for example, from a gas feeding system. A high frequency voltage is applied by a high frequency power source 11 between an anode 9 and a cathode 2 to generate a plasma 13 to dry etch a substrate 5. In this case, since an ion current by the plasma 13 is concentrated at the substrate 5 having small impedance, the ion current density flowing to the substrate 5 becomes high, and the etching rate becomes high. Since the surface 5a of the substrate 5 and the surface 23a of the cover 23 are disposed in the same plane, an electric field density becomes uniform in a boundary between the surfaces 5a and 23a, and does not become irregular on the surface of the substrate 5. Thus, ion current of uniform density flows on the surface 5a of the substrate 5 to uniformly etch the substrate 5.

**(54) MANUFACTURE OF SEMICONDUCTOR**

(11) 62-108528 (A) (43) 19.5.1987 (19) JP
 (21) Appl. No. 60-247023 (22) 6.11.1985
 (71) HITACHI LTD (72) TAKARO KURODA(4)
 (51) Int. Cl. H01L21/302, H01L21/265, H01S3/18

PURPOSE: To eliminate a variation in a sectional shape due to the azimuth for forming an etching groove by commonly using an etching mask as a mask for an ion implanting, forming amorphous surface exposed portion by ion implanting from a crystal surface, selectively etching the amorphous portion, and then additionally etching it.

CONSTITUTION: After a photoresist mask pattern is formed in line-and-space of 2,500 Å on an InP substrate, Si is ion implanted at accelerating energy of 80 keV in dosage of $1 \times 10^{14} \text{ cm}^{-2}$. The surface of the exposed portion is converted to amorphous to 1,000 Å of depth. Thereafter, it is additionally etched for approx. 30 sec with solution of HBr:HNO₃:H₂O=1:1:5 (volumetric ratio at 25°C). Thus, the thin shape does not considerably depend upon the azimuth of the substrate and the groove forming direction, and the depth of the amorphous layer is correctly controlled by ion implanting.



1: photoresist mask, 2: InP substrate, 4: amorphous region.
 a: depth, b: atom density curves

⑫ 公開特許公報(A)

昭62-108527

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月19日

H 01 L 21/302
C 23 F 1/00C-8223-5F
6793-4K

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 ドライエッチング装置

⑯ 特 願 昭60-248183

⑰ 出 願 昭60(1985)11月6日

⑱ 発 明 者 柴 垣 真 果 東京都府中市四谷5-8-1 日電アネルバ株式会社内
 ⑲ 発 明 者 鶴 飼 勝 三 東京都府中市四谷5-8-1 日電アネルバ株式会社内
 ⑳ 出 願 人 日電アネルバ株式会社 東京都府中市四谷5-8-1
 ㉑ 代 理 人 弁理士 嶋 宣 之

明 細 書

1 発明の名称

ドライエッチング装置

2 特許請求の範囲

チャンバ内に設置されたカソードに基板を載置し、基板からはみ出るカソードの面をカバーで覆い、このカソードに高周波電圧を印加してプラズマを発生させ、このプラズマによって前記基板をドライエッチングする装置であって、前記カバーのインピーダンスを基板のインピーダンスよりも大きくするとともに、カバーの表面と、基板の表面とがほぼ同一平面になるようにしたことを特徴とするドライエッチング装置

3 発明の詳細な説明

(産業上の利用分野)

この発明は、プラズマによってドライエッチングを行なうドライエッチング装置に関する。

(従来技術)

従来、ドライエッチング装置は、第4図に示すように、チャンバ1内に設置されたカソード2

(必要ときは金属ステージ3を介して)に基板5を載置している。そして基板5からはみ出たカソード2の面を発生したプラズマによってエッチングされないようにカバー7で覆っている。9はアノードで、チャンバ1とともに接地されている。

ドライエッチングを行なう場合は、図示しない排気系によってチャンバ1内を排気して所定圧力にし、図示しないガス導入系から例えばCF₄ガスを導入する。そしてカソード・アノード間に高周波電源11によって高周波電圧を印加してプラズマ13を発生させ、このプラズマ13によって基板5をドライエッチングしている。

(本発明が解決しようとする問題点)

しかしながら、カバー7はテフロンや石英(比誘電率はほぼ2.1と3.8)で構成され、通常はその厚さdが3mm程度なので、カバー7のその高周波(例えば13.5MHz)におけるインピーダンスZ_cが、厚さ約1mmのシリコン(比誘電率はほぼ11で通常は極めて高抵抗)からなる基板5(通常

は厚さ約2mmのアルミやステンレス等からなる金属ステージ3上に置かれる)のインピーダンス Z_v とほぼ等しいか、それ以下になるので、相当多くのイオン電流がカバー7にも流れてしまい、このため基板に流れるイオン電流密度が低下してしまうという問題があった。またカバー7の面7aと基板5の面5aとの境に段差があるので、その境近辺で電界密度が不均一になる。このため基板5に流れるイオン電流の密度が基板の端部で不均一になり、均一なエッチングを行うことができない等の問題があった。

この発明は上記電流密度の低下等の問題を解消することのできるドライエッチング装置を提供することを目的とする。

(問題を解決するための手段)

この発明は、上記の目的を達成するために、カバーのインピーダンスを基板のインピーダンスよりも大きくするとともに、カバーのアノード側の表面と、基板のアノード側の表面とがほぼ同一平面になるように構成したものである。

ピーダンス Z_c の2倍より大きくなるように、その厚さdがほぼ5mm以上に厚くされている。第2図にカバー23の厚さdと Z_v/Z_c との関係を示した。

一方、カバー23のアノード9側の表面23aと、基板5のアノード9側の表面5aとが同一平面になるように金属ステージ21の厚さが選定されている。そして従来と同様に金属ステージ21はアルミやステンレス等から構成され、そのインピーダンスはほぼゼロとみなすことができる。25はコンデンサ、27はチャンバ1をカソード2から電氣的に絶縁する絶縁体である。なお第4図に示したものと同一なものには同一符号を付したので、その説明は省略する。

いま、図示しない排気系によってチャンバ1内を排気して所定圧力にし、図示しないガス導入系から例えばCF₄ガスを導入する。そしてアノード9・カソード2間に高周波電源11によって高周波電圧を印加してプラズマ13を発生させる。このプラズマ13によって基板5がドライエッチング

(本発明の作用)

カバーのインピーダンスを基板のインピーダンスよりも大きくしたので、カバーよりも基板に多くのイオン電流が流れる。またカバーの表面と、基板の表面とが同一平面上にあるようにしたので、それらの面の境で電界密度が均一になる。

(本発明の効果)

カバーよりも基板に多くのイオン電流が流れるので、基板に流れるイオン電流の密度が高くなり、これによりエッチレートが高くなる。また前記表面の境で電界密度が均一になるので、その境近辺における基板上の電界密度が均一になる。したがって、基板に流れるイオン電流密度が均一になり、基板が均一にエッチングされる。

(発明の実施例)

第1図において、5はカソードに金属ステージ21を介して載置された金属ステージ21と同径の約1mm厚の基板、23は基板5からはみ出たカソードの面を保護するテフロン製のカバーで、このカバーのインピーダンス Z_v が前記基板5のイン

される。

この際、プラズマ13によるイオン電流が、インピーダンスの小さい基板5に集中するので、基板5に流れるイオン電流密度が高くなり、エッチングレートが高くなる。第3図にはエッチレートと Z_v/Z_c との関係を示した。エッチングレートが、 $Z_v/Z_c \approx 2$ のあたりから立上り、急激に高い値を示すようになることがよくわかる。

また基板5の表面5aと、カバー23の表面23aとが同一平面上にあるので、表面5a、23aの境界で電界密度が一様になるので、基板5の表面上では電界密度が不均一にならない。したがって基板5の面5aには密度の均一なイオン電流が流れるので、基板5は均一にエッチングされる。

なお上記実施例では、カバー23の厚さを厚くしてインピーダンス Z_c を大きくしているが、厚さを厚くせずに、誘電率の高い材質を選定することによってもインピーダンスを大きくすることができ、さらに金属ステージ21を省略して、その部分の電極表面を盛り上げてよい。

4 図面の簡単な説明

第1図は実施例の断面図、第2図はカバーの厚さと Z_w/Z_c との関係を示したグラフ、第3図はエッチレートと Z_w/Z_c との関係を示したグラフ、第4図は従来のエッチング装置の断面図である。

- | | |
|--------|-----------|
| 1…チャンバ | 2…カソード |
| 5…基板 | 5a…面 |
| 9…アノード | 21…金属ステージ |
| 23…カバー | 23a…面 |

代理人 弁理士 嶋 宜之

